CMOSアナログICの実用設計

吉田晴彦

第7回

CMOSアナログIC　PWM01の回路設計(3)
電圧レギュレータの設計

PWM01の回路設計の3回目として，電圧レギュレータ回路($VB1$ = 4V)を設計します．あと3回でCMOSアナログIC PWM01の設計は完了です．　　（編集部）

● 電圧レギュレータ($VB1$)の設計

図1は負荷電流能力$I_{REG1} \geqq 1$mAの定電圧レギュレータ回路($VB1 = 4$V)です．ICの内部では，発振器などへの電源供給や基準電圧源として使用します．入力電圧$V^+ = 5$Vで，出力電圧$VB1 = 4$V，出力電流$I_{REG1} \geqq 1$mAの特性が要求されるので，PMOSトランジスタ(M6)のソース接地回路を出力に用いた低飽和型(LDO：Low Drop-out)レギュレータの回路構成とします．

基準電圧は，基準電圧源で生成したREF1V0 = 1Vを使用します．また，過負荷や負荷短絡時にICを保護するための出力電流を制限する過電流保護回路を内蔵します．

図1　電圧レギュレータ($VB1$)の回路構成
出力電圧4Vで過電流保護回路を内蔵した低飽和型レギュレータ．

● 出力部：M6の検討

電圧レギュレータの負荷電流能力は$V^+ = 5$Vにおいて$I_{REG1} \geqq 1$mAの仕様になっています．この仕様は外部負荷に電源供給することを前提にした電流値です．外部負荷以外にIC内部の負荷として電圧レギュレータ($VB1$)を電源供給源とする発振器や電圧レギュレータ($VB2$)の回路ブロックがあります．それらに供給する電流(最大で0.5mA程度)も考慮すると，出力部のPMOSトランジスタM6は外部負荷電流と内部負荷電流から，$I_6 \geqq 1.5$mAの電流能力が必要になります．ここでは素子ばらつきや温度変動なども考慮し，$I_6 \geqq 3.0$mAとなるM6のトランジスタ・サイズW_6/L_6を検討します．

まず，入力段M1，M2に使用する素子の種類について考えます．**図2**において，M5が飽和領域で動作するためには，$V_{DS5} \geqq V_{D(\mathrm{sat})}$ですから，$V_{REF1V0} - V_{GS1} \geqq V_{D(\mathrm{sat})}$より，$V_{REF1V0} = 1$V，$V_{D(\mathrm{sat})} = 0.15$Vとすると$V_{GS1} \leqq 0.85$Vとなります．このことからM1とM2にはしきい値電圧の低い素子が必要となるので，イニシャルV_T型($V_{TNI} = 0.35$V)のトランジスタを使用します．

次に，P点電位V_Pについて考えます．V_Pは，$V_P = V_{REF1V0} - V_{GS1} + V_{DS1}$と表せます．M1が飽和領域で動作できる最小のドレイン-ソース間電圧を$V_{DS1} = V_{GS1} - V_{TN1}$とすると，

$$V_P = V_{REF1V0} - V_{GS1} + V_{DS1}$$
$$= V_{REF1V0} - V_{GS1} + V_{GS1} - V_{TNI}$$

KeyWord　電圧レギュレータ，低飽和型レギュレータ，基準電圧，ロード・レギュレーション，位相補償，トリミング調整，過電流保護

$= \mathbf{1} - V_{TNI}$

と表せます．

これらを踏まえて，M6の動作点について考えます．M6のソース-ゲート間に加えることのできる最大の電圧V_{SG6}は，$V^{+}=4.7$Vで，NMOSをしきい値低め$V_{TNI\text{-}L}=0.2$V，PMOSをしきい値高め｜$V_{TPE\text{-}H}$｜＝1Vとしたワースト条件において，

$$\begin{aligned} V_{SG6} &= V^{+} - V_{P} \\ &= V^{+} - (\mathbf{1} - V_{TNI}) \\ &= 4.7 - \mathbf{1} + 0.2 \\ &= 3.9\text{V} \end{aligned}$$

となります．また，ソース-ドレイン間電圧V_{SD6}は，

$$V_{SD6} = V^{+} - VB1 = 4.7 - 4 = 0.7\text{V}$$

なので，

$$V_{SG6} - |V_{TPE}| = 3.9 - \mathbf{1} = 2.9\text{V} > V_{SD6} = 0.7\text{V}$$

となり，M6は非飽和領域で動作しています．従って，

$$I_6 = \mu_{PE} C_{ox} \frac{W_6}{L_6} \left\{ \left(V_{SG6} - |V_{TPE}| \right) V_{SD6} - \frac{V_{2SD6}{}^2}{2} \right\}$$

の関係式が成り立つので，$I_6 \geqq 3$mAより，

$$I_6 = \mu_{PE} C_{ox} \frac{W_6}{L_6} \left\{ \left(V_{SG6} - |V_{TPE}| \right) V_{SD6} - \frac{V_{SD6}{}^2}{2} \right\} \geqq 3 \times 10^{-3}$$

$$\therefore \frac{W_6}{L_6} \geqq \frac{3 \times 10^{-3}}{\mu_{PE} C_{ox} \left\{ \left(V_{SG6} - |V_{TPE}| \right) V_{SD6} - \frac{V_{SD6}{}^2}{2} \right\}} \quad \cdots\cdots(1)$$

が導かれ，$I_6 \geqq 3$mAとするためには，M6のトランジスタ・サイズが条件式(1)を満たす必要があります．

● ロード・レギュレーションの改善

ロード・レギュレーションとは，負荷電流に対する出力電圧の変動幅のことです．PWM01では負荷電流I_{REG1}が0mA～1mAの範囲で変化したときの出力電圧$VB1$の変動幅と規定しています．レギュレータの出力インピーダンス(＝出力電圧の変動量/出力電流の変動量)はゼロが理想なので，ロード・レギュレーションが小さければ小さいほどレギュレータとしての性能が良いことになります．

図3において，負荷電流I_{REG1}が変化したときの動作を考えます．I_{REG1}が変化するとM6のソース-ゲート間電圧V_{SG6}が変わるので，P点の電位が負荷電流により変化することになります．P点の電圧変動はカレント・ミラーを構成しているM3のソース-ドレイン間電圧V_{SD3}の変動となります．チャネル長変調の影響でM3とM4の電流比がずれ，オフセット電圧が生じ，出力電圧が変動するため，ロード・

図2
負荷電流能力の検討

負荷電流能力$I_6 \geqq 3$mAとなるトランジスタM6のトランジスタ・サイズを検討する．また，$V_{GS1} \leqq 0.85$VなのでM1，M2にはしきい値電圧の低いイニシャルV_T型のトランジスタを使用する．

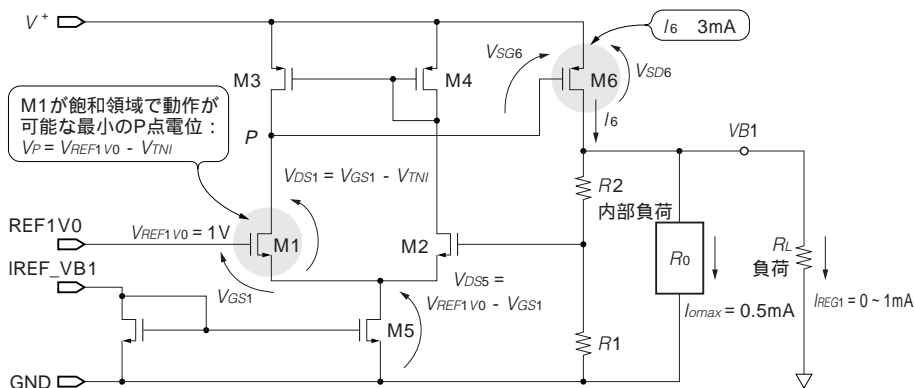
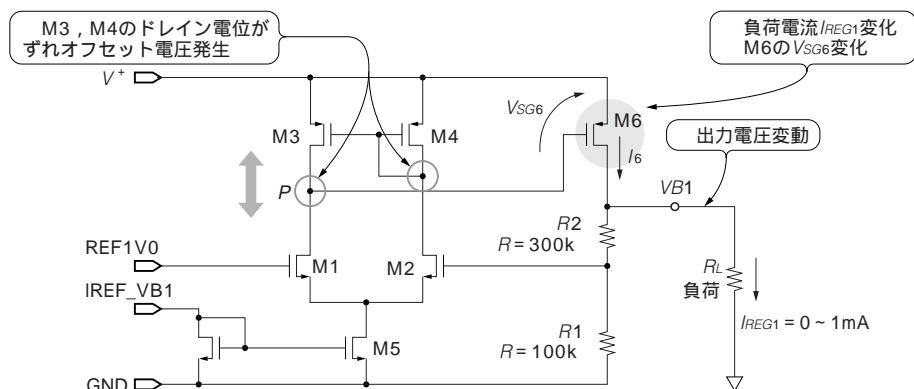



図3
ロード・レギュレーションの悪化

負荷電流I_{REG1}を可変するとM3のV_{SD}が変動する．チャネル長変調の影響でM3とM4の電流比がずれ，オフセット電圧が生じるため，ロード・レギュレーションが悪化する．

レギュレーションが悪化します．そこで，ロード・レギュレーションの改善のために，以下の対策を行います（**図4**）．

(1) カレント・ミラーM3，M4のゲート長*L*を大きくする

カレント・ミラーを構成しているM3とM4のゲート長Lを大きくすることで，チャネル長変調の影響を小さくします．ただし，ゲート長Lを大きくすると，M3の出力抵抗が大きくなり，P点におけるポールが低域に移動，AC特性が悪化するため注意が必要です．

ここでは，M3とM4のトランジスタ・サイズを$W_3/L_3 = W_4/L_4 = (12\mu m/5\mu m) \times 2$とします．

(2) 出力部M6のV_{SG6}の変動幅を小さくする

V_{SG6}の変動を小さくするために，M6のバイアス電流とトランジスタ・サイズを最適化します．

出力が無負荷のとき，M6のドレイン電流は出力帰還抵抗に流れる10μAのみです．負荷電流I_{REG1}が0～1mA変化すると，I_6は10μAから1mAの変化となり，**図5(a)**のように，V_{SG6}の変化分が大きくなります．そこで，M6に定常的にアイドリング電流を流すことにより，M6の動作点をgm_6（$= \Delta I_6 / \Delta V_{SG6}$）の大きなポイントにずらし，負荷電流$I_{REG1}$の変動による$V_{SG6}$の変動を小さくします．ここでは，出力とGND間に抵抗R_O＝10kΩを接続し，定常的に400μAのアイドリング電流をM6に流しておきます．

また，**図5(b)**のように，M6のトランジスタ・サイズW_6/L_6を大きくすることでgm_6を大きくし，出力電流I_6の変化によるV_{SG6}の変化量を小さく，P点の電位変動を小さくします．ここでは，M6のトランジスタ・サイズの条件式(1)も考慮し，$W_6/L_6 = (30\mu m/1.6\mu m) \times 20$とします．

● 位相補償

一般的に電圧レギュレータ回路は，瞬間的な負荷変動に対してレギュレータ回路の性能だけでは素早く応答できないので，外付けの負荷容量C_Lを必要とします．そのため，

図4
ロード・レギュレーションの改善
M3, M4のゲート長*L*とM6のゲート幅*W*を大きく，またM6に定常的にアイドリング電流を流すことでロード・レギュレーションを改善する．

(a) 動作点の移動
M6に定常的にアイドリング電流を流し動作点をgm_6の大きなポイントにずらしV_{SG6}の変動を小さくする．

(b) トランジスタ・サイズの調整
M6のトランジスタ・サイズを大きくすることでgm_6を大きくしV_{SG6}の変動を小さくする．

図5
ロード・レギュレーションの改善のためのトランジスタ・サイズの最適化

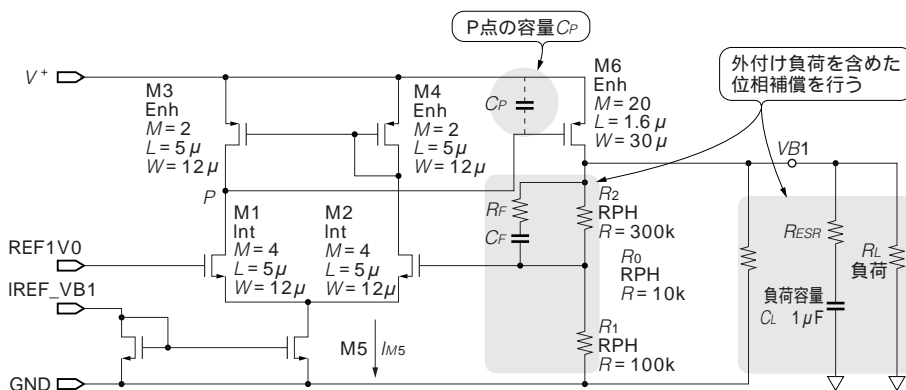
図6
電圧レギュレータ(VB1)の位相補償
位相補償は負荷容量 C_L とその ESR で発生するポールを含む回路全体で考える必要がある．

位相補償は負荷容量C_LとそのESR（等価直列抵抗）を含む回路全体で考えます．ここでは，外付けの負荷容量の条件を$C_L = 1\mu F$とします．

図6の回路における主なポール注1とゼロ注2は，簡単に表すと以下の式のようになります．

$$\text{P点ポール}:\left|\omega_{P_P}\right| = \frac{1}{C_P(r_{O1}/\!/r_{O3})}$$

$$\text{出力端子ポール}:\left|\omega_{P_VB1}\right| = \frac{1}{C_L(R_L/\!/R_O)}$$

$$\text{位相補償回路ポール}:\left|\omega_{P_F}\right| = \frac{1}{C_F(R1/\!/R2)}$$

$$\text{位相補償回路ゼロ}:\left|\omega_{Z_F}\right| = \frac{1}{C_F R2}$$

$$\text{出力端子ゼロ}:\left|\omega_{Z_ESR}\right| = \frac{1}{C_L R_{ESR}}$$

ただし，$C_P \cong C_{GS6} + \{1 + gm_6(R_L/\!/R_O)\}C_{GD6}$

r_{O1}, r_{O3}: M1, M3の出力抵抗

これらのポールとゼロの配置を調整して，安定な特性が得られるように定数を決定します．定数の最適化を行った回路を**図7(a)**に示します．この回路のループ伝達特性から，発振に対する余裕度を調べるために，**図7(b)**に示すように帰還回路の一部を点Rで切断します．$VB1$と同電位のDCバイアス電圧とAC信号源を接続して，この端子よりAC信号を入力します．その際の出力電圧$VB1$のループ利得と位相の伝達特性のシミュレーション結果を**図8**に示します．

点Rで回路の一部を切断することにより，M6のドレイン電流が若干変化するため，その代わりとして抵抗R_{D1}とR_{D2}を接続しています．検証条件は，電源電圧$V^+ = 5V$，出力端子の外付け負荷容量$C_L = 1\mu F$，$R_{ESR} = 10m\Omega$～10Ω，および負荷電流$I_{REG1} = 0$～1mAとしています．

● 出力電圧のトリミング

出力電圧$VB1$は，$VB1 = 4V \pm 2\%$の出力電圧精度が要求されます．入力オフセット電圧や出力帰還抵抗の相対精度が原因となり出力電圧がばらつくので，トリミング回路が必要になります．PWM01では，トリミング回路は調整の容易さやトリミング精度も考慮し，**図9**のような出力帰還抵抗の抵抗値を調整する回路を採用します．

(1) トリミング精度

出力電圧$VB1$は4V±2%（±80mV）の出力電圧精度が必要となります．PWM01ではパッケージングによる変動量などを考慮し，ウェハ状態で4V±1%（±40mV）以内に収まるようにします．ここで，$V_{R1} = 1V$なので$R1 = 100k\Omega\,(20k\Omega \times 5)$とすると，最小ビット抵抗$r$は4kΩ以下にする必要があります．相対精度を上げるために同一の抵抗でレイアウト設計をすることを考慮し，最小ビット抵抗を$r = 2.5k\Omega\,(20k\Omega/8)$とします．

(2) トリミング調整範囲

出力電圧のばらつき幅によって，必要なトリミング幅が変わります．ここでは，入力オフセット電圧が最大で±40mVとして，トリミング幅を考えます．

まず，ヒューズ素子を切る前の初期状態を考えます．このトリミング回路は電圧を上げる調整しかできないので，

注1：ポール(Pole)とは，有理関数の分母の多項式の値を0にするsの値で，ポール角周波数ω_Pから利得は－20dB/decの傾きで減少し，位相はω_Pで－45°となる．

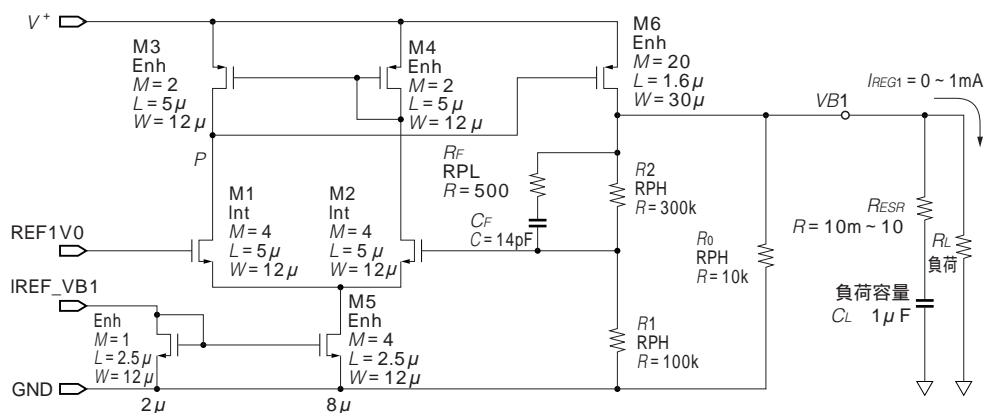
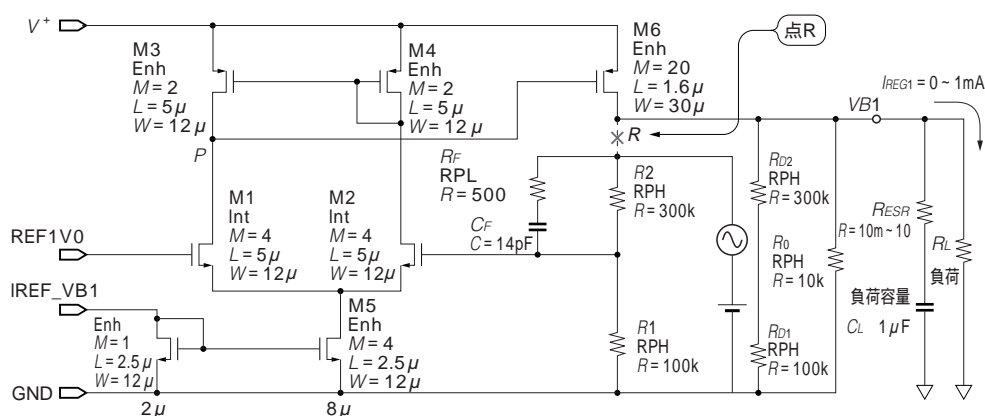
注2：ゼロ(Zero)とは，有理関数の分子の多項式の値を0にするsの値で，ゼロ角周波数ω_Zから利得は＋20dB/decの傾きで増加し，位相は$\omega_Z > 0$のときω_Zで－45°，$\omega_Z < 0$のときω_Zで＋45°となる．

（a） 電圧レギュレータ（VB1）の回路
ポールとゼロの配置を最適化した回路．

（b） ループ伝達特性の検証回路
帰還回路の一部を点Rで切断しAC信号源を接続することにより，ループ伝達特性のシミュレーションを行う．

図7
定数の最適化

（a） 負荷容量のESR可変（I_{REG1}＝1mA）　（b） 負荷電流I_{REG1}可変（R_{ESR}＝10mΩ）

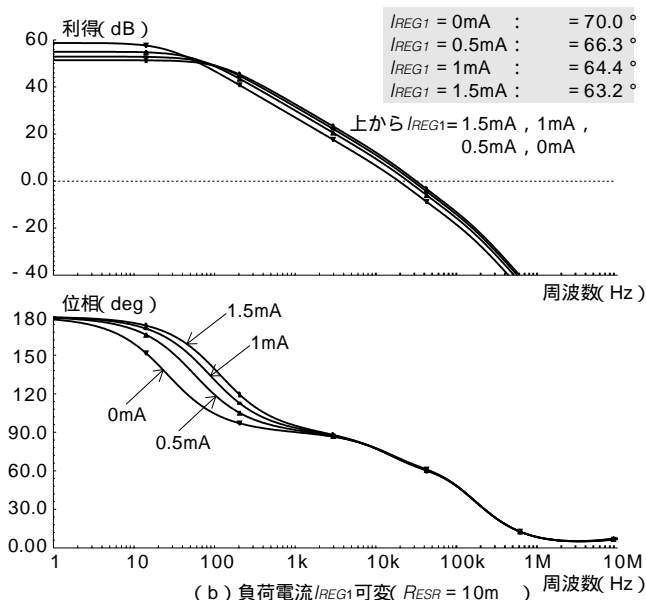
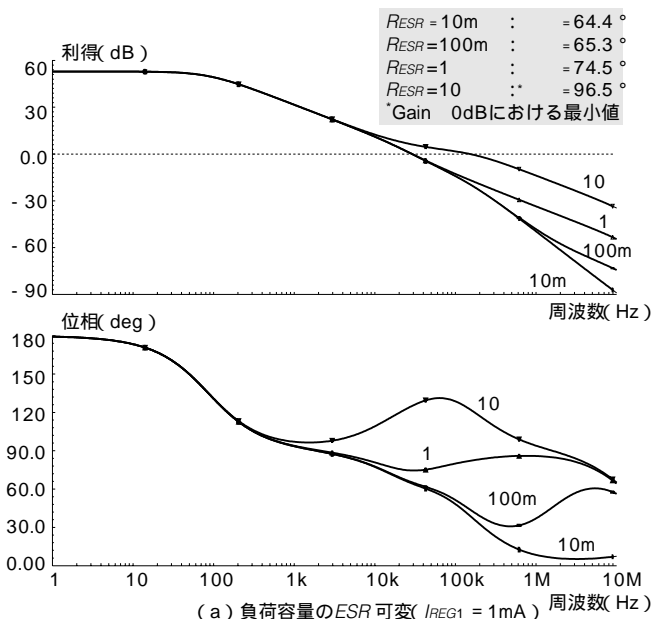
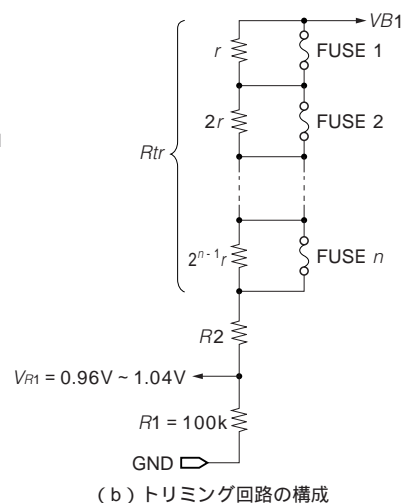
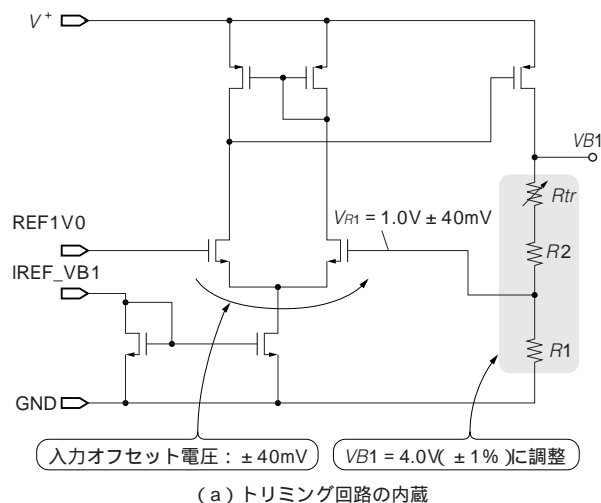



図8　ループ伝達特性

V^+＝5V, C_L＝1μF, R_{ESR}＝10mΩ～10Ω, I_{REG1}＝0～1mA時のループ伝達特性のシミュレーション結果．

図9
出力電圧 *VB1* のトリミング
PWM01では，トリミングの容易さや精度を考慮し，出力帰還抵抗の抵抗値を調整するトリミング方法とする．

初期状態において$VB1$が4Vを超えてはいけません．従って，V_{REF1V0}に対して＋40mVの入力オフセット電圧があったときに，初期状態で$VB1 \leqq 4$Vとなる抵抗$R2$を設定します．**図9（b）**において，

$$\frac{R1+R2+Rtr}{R1} \times V_{R1} \leq 4$$

が成り立ちます．ここで$R1$＝100kΩ，初期状態のトリミング抵抗Rtr　0，V_{R1}＝1＋0.04＝1.04Vより，

$$\frac{100\times10^3+R_2}{100\times10^3} \times 1.04 \leq 4$$

$$R2 \leqq 284\mathrm{k}\Omega$$

となります．さらに，抵抗の相対誤差が±2％と考えると$R2 \leqq$ 278kΩとなるので，基本抵抗を20kΩとし$R2$＝270kΩ（20kΩ×13＋20kΩ/2）に設定します．

これまではヒューズ素子を切る前の状態を考えましたが，今度は逆にヒューズ素子をすべて切った状態を考えます．この場合は，最大のRtrにおいて$VB1$は4Vに達する必要があります．V_{REF1V0}に対して－40mVの入力オフセット電圧があったときに，ヒューズ素子をすべて切って，$VB1 \geqq 4$Vとなる抵抗Rtrを設定します．

図9（b）において，

$$\frac{R1+R2+Rtr}{R1} \times V_{R1} \geqq 4$$

が成り立つので，$R1$＝100kΩ，トリミング抵抗$R2$＝270kΩ，V_{R1}＝1－0.04＝0.96Vより，

$$\frac{100\times10^3+270\times10^3+Rtr}{100\times10^3} \times 0.96 \geqq 4$$

$$Rtr \geqq 47k\Omega$$

となります．従って，ヒューズ素子をすべて切ったときの最大の抵抗Rtrは，（1）で求めた最小ビット抵抗r＝2.5kΩ（20kΩ/8）より，ビット数を5ビットとすると，

$$Rtr = \left(r+2r+2^2r+2^3r+2^4r\right) = 77.5\mathrm{k}\Omega$$

となります．$Rtr \geqq$ 47kΩの条件を満足するので，ここではトリミング調整範囲を5ビットとします．トリミング回路は**図10**，トリミング・テーブルは**表1**のようになり，$VB1$＝4V±12.5mV（±0.31％）に調整できます．

●過電流保護

出力短絡や過負荷により出力トランジスタに過大電流が流れて，ICや外部回路を破壊する可能性があります．PWM01のレギュレータ回路では，**図11**に示すような過電流保護回路を内蔵して出力電流を制限します．

動作原理を説明します．負荷電流I_{REG1}が増えると，出力段M6の電流I_6も増加します．このとき，M6とカレント・ミラーを構成しているM8（W_8/L_8＝8μm/1.6μm）にも，$I_8 = I_6/75$の電流が流れるので，I_8が大きくなるとM7がONします．これによりM4およびM3も電流が増え，P点の電位が上昇し出力電流I_6を抑える方向に帰還が働きます．最終的にはM3の電流がI_5と等しくなるようにP点の電位に帰還がかかり，その結果M6のV_{SG6}が一定電位に保たれ，出力電流I_6が制限されます．

次に，過電流保護（短絡）電流I_{LMT}について考えます．M7に流れる電流I_7がM4を介してM3に流れ，その値がI_5と等しくなったときのM7のゲート-ソース間電圧をV_{ON}とします．M7について，

図10　トリミング回路

4V±1%の電圧精度を実現するためのトリミング回路．

図11　過電流保護回路

PWM01では，出力短絡や過負荷時に過大電流が流れないように過電流保護回路を内蔵し，出力電流を制限する．

表1　トリミング・テーブル

VB1の初期値に対し，どのヒューズ素子を切断すれば4V±1%に調整できるかを示すトリミング・テーブル．

VB1設定（4V）

測定値［V］	FUSE5	FUSE4	FUSE3	FUSE2	FUSE1
－3.987					
3.961－3.987					×
3.936－3.961				×	
3.910－3.936				×	×
3.884－3.910			×		
3.859－3.884			×		×
3.835－3.859			×	×	
3.810－3.835			×	×	×
3.785－3.810		×			
3.761－3.785		×			×
3.738－3.761		×		×	
3.715－3.738		×		×	×
3.692－3.715		×	×		
3.669－3.692		×	×		×
3.647－3.669		×	×	×	
3.624－3.647		×	×	×	×

測定値［V］	FUSE5	FUSE4	FUSE3	FUSE2	FUSE1
3.601－3.624	×				
3.580－3.601	×				×
3.559－3.580	×			×	
3.538－3.559	×			×	×
3.517－3.538	×		×		
3.496－3.517	×		×		×
3.476－3.496	×		×	×	
3.456－3.476	×		×	×	×
3.435－3.456	×	×			
3.416－3.435	×	×			×
3.397－3.416	×	×		×	
3.377－3.397	×	×		×	×
3.358－3.377	×	×	×		
3.340－3.358	×	×	×		×
3.321－3.340	×	×	×	×	
－3.321	×	×	×	×	×

×：FUSEカット

$$I_5 = I_7 = \frac{1}{2}\mu_{nE}C_{ox}\frac{W_7}{L_7}\left(V_{ON} - V_{TNE}\right)^2$$

が成り立つので，次式となります．

$$V_{ON} = V_{TNE} + \sqrt{\frac{2I_5}{\mu_{nE}C_{ox}\frac{W_7}{L_7}}}$$

ここで，M7をエンハンスメント型でトランジスタ・サイズをW_7/L_7＝12μm/6μmとするとV_{ON}　1Vとなります．また，PWM01で使用するパッケージ（DMP-24）の最大許容損失はP_D＝700mW，最大動作電圧はV^+＝9Vです．IC全体が流すことができる最大の出力ソース電流I_{max}は，

$$I_{max} = \frac{P_D}{V^+} = \frac{700\times10^{-3}}{9} \cong 77.8\text{mA}$$

となります．従って，出力電流I_6は$I_6 \leqq 77$mAの範囲に収まらなくてはいけません．ここで，負荷電流$I_{REG1} \geqq 3$mAであれば仕様を満足するので，十分な余裕を見てI_{LMT}＝15mAとなるように過電流保護が働くように設定します．この値はI_{max}に対しても十分な余裕があります．また，

$$V_{ON} = I_8 R_S$$

$$I_8 = \frac{I_6}{75}$$

より，$I_6 = I_{LMT}$とすると，次式となります．

図12
過電流保護回路のシミュレーション結果
V^+＝7.5V，R_S＝5k Ω時のシミュレーション結果で，過電流保護回路ありの場合はM6のV_{SG6}が一定に保たれ，負荷電流I_{REG1}が制限されている．

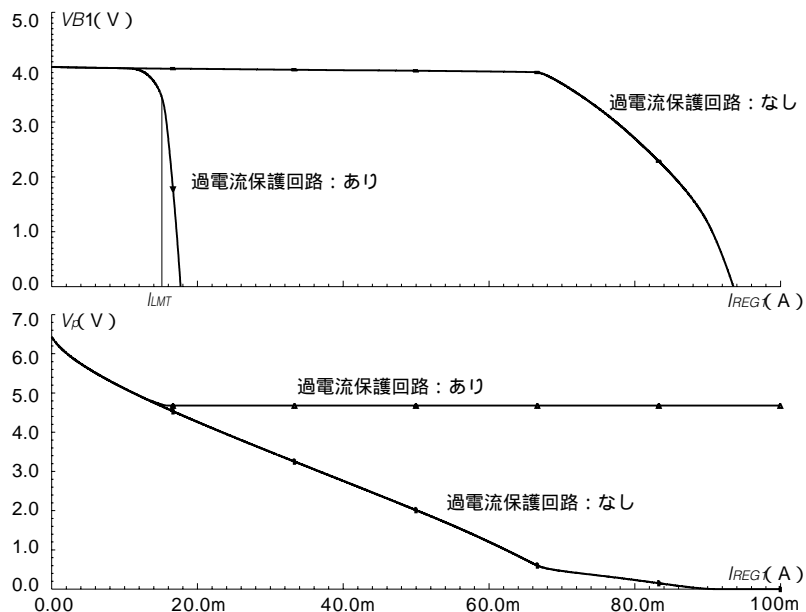
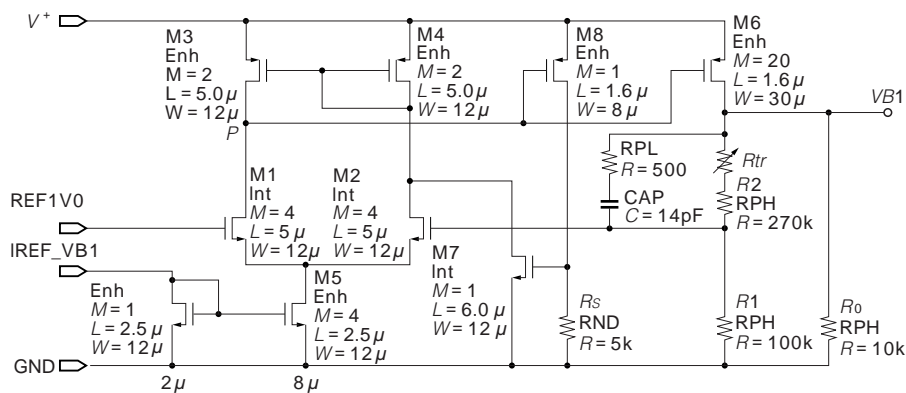



図13
電圧レギュレータ(VB1)の回路
PWM01で使用する負荷電流能力1mAで，出力電圧精度が4V ±2%の電圧レギュレータ回路．

$$R_S = \frac{75V_{ON}}{I_{LMT}} = \frac{75\times 1}{15\times 10^{-3}} = 5\mathrm{k}\Omega$$

ここで，V^+＝7.5V，R_S＝5k Ωとしたときのシミュレーション結果を**図12**に示します．過電流保護回路がない場合はP点の電位V_Pが0V付近まで下がり，M6のソース-ゲート間電圧がV_{SG6}　V^+となることで，M6の電流能力に依存して最大電流I_{LMT}が決まっている結果となっています．それに対して，過電流保護回路がある場合には，M6のV_{SG6}が一定に保たれ，負荷電流I_{REG1}が制限されています．

● 全体回路

電圧レギュレータ(VB1)の回路を**図13**に示します．

参考・引用*文献

(1) 谷口研二；CMOSアナログ回路入門，CQ出版社，2005年．
(2) Behzad Razavi(著)，黒田忠広(監訳)；アナログCMOS集積回路の設計 基礎編/応用編，丸善，2003年．
(3) 吉澤浩和；CMOS OPアンプ回路 実務設計の基礎，CQ出版社，2007年．

よしだ・はるひこ
新日本無線(株)

<筆者プロフィール>
吉田晴彦．1985年に新日本無線に入社．プロセス開発や電源IC設計などに従事．現在ミックスト・シグナルIC設計部門に所属．